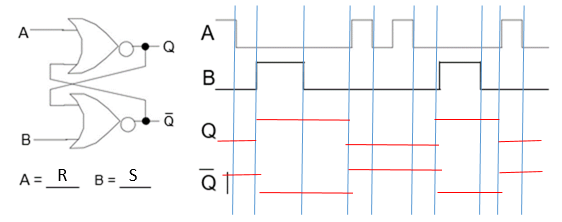
**Ficha 1 -**

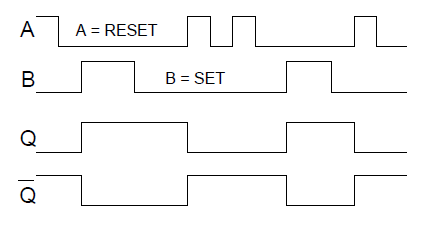
|  |
| --- |
| **LATCH ou Flip-Flop RS assíncrono** |

|  |  |
| --- | --- |
|  | 1. Completa os espaços em branco |
|  | A imagem representa um Flip-Flop com portas NAND  R significa RESET e S significa SET, ou seja, R Desliga a saída e S Liga a saída. |
|  |  |

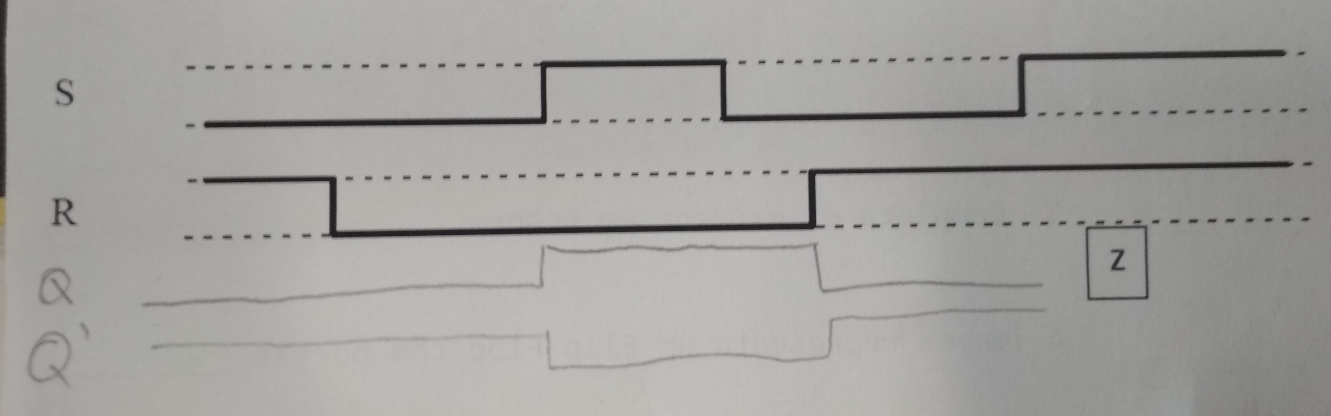
|  |  |
| --- | --- |
| 2. Desenha o símbolo que representa o Flip-Flop ou Latch | 2.1. Completa a tabela de verdade |
|  | |  |  |  |  |  | | --- | --- | --- | --- | --- | | **R** | **S** | **Q** | **Q’** | Estado | | 0 | 0 | Qa (Q anterior) | Q’a (Q’ anterior) | Memória | | 0 | 1 | 1 | 0 | Set | | 1 | 0 | 0 | 1 | Reset | | 1 | 1 | 0 | 0 | Erro lógico | |
|  |  |
|  |  |

1. Para o FF RS abaixo, identifique as entradas R e S e desenhe as formas de onda nas saídas em função dos sinais aplicados.





2) Complemente o seguinte Diagrama Temporal para o Latch Dinâmico com NANDs indicando a evolução das Saídas Q e Q’.



**3)** Justifique o que sucede às saídas após a transição assinalada com **Z**

Erro Lógico

|  |  |
| --- | --- |
| 4) Um flip-flop S-R fechado entra na condição SET quando S é ALTO (HIGH), R é BAIXO (LOW). | |
| x | Verdadeiro |
|  | Falso |

|  |  |
| --- | --- |
| 5) Suponha que um latch S’R’, com portas NAND, tem 0 em ambas as entradas. O resultado será: | |
|  | https://www.indiabix.com/_files/images/digital-electronics/digital-fundamentals/cua7_0010a.gif |
|  | https://www.indiabix.com/_files/images/digital-electronics/digital-fundamentals/cua7_0010b.gif |
|  | https://www.indiabix.com/_files/images/digital-electronics/digital-fundamentals/cua7_0010c.gif |
| x | https://www.indiabix.com/_files/images/digital-electronics/digital-fundamentals/cua7_0010d.gif |