**Ficha 3**

|  |
| --- |
| **LATCH D síncrono** |

|  |  |
| --- | --- |
|  | 1. Completa os espaços em branco |
|  | A imagem representa um Latch tipo D com portas \_\_\_R significa \_\_\_\_ e S significa \_\_\_\_, ou seja, R \_\_\_\_ a saída e S \_\_\_ a saída. D significa \_\_\_\_ ou *data.*CLK significa \_\_\_\_ e permite \_\_\_\_\_\_\_ ou \_\_\_\_\_\_\_\_\_\_\_ todo o circuito.Este circuito entra em memória quando CLK=\_\_  |
|  |  |

|  |  |
| --- | --- |
| 2. Desenha o símbolo que representa o Latch tipo D | 2.1. Completa a tabela de verdade |
|  |

|  |  |  |
| --- | --- | --- |
| **Entradas** | **Saídas** | **Estado** |
| **CLK** | D | Q | Q’ |
| 0 |  |  |  |  |
| 1 |  |  |  |  |
| 1 |  |  |  |  |

 |
|  |  |
|  |  |

1. Completa os espaços em branco.

|  |  |
| --- | --- |
|  |  |
|  | A figura ao lado representa um \_\_\_\_\_\_\_\_\_ \_\_\_\_\_\_\_para um latch tipo D. Relógio representa o CLK ou \_\_\_\_, Inicializar representa \_\_\_ e Reinicializar representa \_\_\_\_\_.O Bit 0 pode ser representado por Low, \_\_\_\_\_, Desligado, \_\_\_.O Bit 1 pode ser representado por \_\_\_\_, Alto, \_\_\_\_\_, On. |
|  |  |

4. Cria um Diagrama Temporal para um Latch tipo D, indicando a entrada D e CLK e a evolução das Saídas Q e Q’.

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |

|  |
| --- |
| **Revisões Ficha 1****LATCH ou Flip-Flop RS assíncrono** |

|  |  |
| --- | --- |
|  | 1. Completa os espaços em branco |
|  | A imagem representa um Flip-Flop com portas \_\_\_\_R significa \_\_\_\_\_ e S significa \_\_\_\_, ou seja, R \_\_\_\_\_\_ a saída e S \_\_\_\_\_\_ a saída. |
|  |  |

|  |  |
| --- | --- |
| 2. Desenha o símbolo que representa o Flip-Flop ou Latch | 2.1. Completa a tabela de verdade |
|  |

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **R** | **S** | **Q** | **Q’** | Estado |
| 0 | 0 |  |  |  |
| 0 | 1 |  |  |  |
| 1 | 0 |  |  |  |
| 1 | 1 |  |  |  |

 |
|  |  |
|  |  |

1. Para o FF RS abaixo, identifique as entradas R e S e desenhe as formas de onda nas saídas em função dos sinais aplicados.



|  |
| --- |
| **Revisões Ficha 2****LATCH ou Flip-Flop RS síncrono** |

|  |  |
| --- | --- |
|  | 1. Completa os espaços em branco |
|  | A imagem representa um Flip-Flop com portas \_\_\_\_\_R significa \_\_\_\_ e S significa \_\_\_\_, ou seja, R \_\_\_\_\_\_ a saída e S \_\_\_\_\_\_ a saída.CLK significa Clock e permite \_\_\_\_\_\_\_\_ ou \_\_\_\_\_\_\_\_\_ todo o circuito.Este circuito entra em memória quando R=\_ e S=\_ ou quando CLK=\_  |
|  |  |

|  |  |
| --- | --- |
| 2. Desenha o símbolo que representa o Flip-Flop ou Latch | 2.1. Completa a tabela de verdade |
|  |

|  |  |  |
| --- | --- | --- |
| **Entradas** | **Saídas** | **Estado** |
| CLK | R | S | Q | Q’ |
| 0 | x | x |  |  |  |
| 1 | 0 | 0 |  |  |  |
| 1 | 0 | 1 |  |  |  |
| 1 | 1 | 0 |  |  |  |
| 1 | 1 | 1 |  |  |  |

 |
|  |  |
|  |  |

1. Para os FF das figuras abaixo, desenhe as formas de onda nas saídas em função dos sinais aplicados.





4. Cria um Diagrama Temporal para um FF síncrono indicando as entradas R, S e CLK e a evolução das Saídas Q e Q’.

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |