**Ficha 3**

|  |
| --- |
| **LATCH D síncrono** |

|  |  |
| --- | --- |
|  | 1. Completa os espaços em branco |
|  | A imagem representa um Latch tipo D com portas NAND  R significa RESET e S significa SET, ou seja, R Desliga a saída e S Liga a saída. D significa Dado ou *data.*  CLK significa Clock e permite habilitar ou desabilitar todo o circuito.  Este circuito entra em memória quando R=0 e S=0 ou quando CLK=0 |
|  |  |

|  |  |
| --- | --- |
| 2. Desenha o símbolo que representa o Latch tipo D | 2.1. Completa a tabela de verdade |
|  | |  |  |  |  |  | | --- | --- | --- | --- | --- | | **Entradas** | | **Saídas** | | **Estado** | | **CLK** | D | Q | Q’ | | 0 | X | Qa | Qa’ | Mem. | | 1 | 0 | 0 | 1 | Reset | | 1 | 1 | 1 | 0 | Set | |
|  |  |
|  |  |

1. Completa os espaços em branco.

|  |  |
| --- | --- |
|  |  |
|  | A figura ao lado representa um diagrama temporal para um latch tipo D. Relógio representa o CLK ou Clock, Inicializar representa SET e Reinicializar representa RESET.  O Bit 0 pode ser representado por Low, Baixo, Desligado, Off.  O Bit 1 pode ser representado por High, Alto, Ligado, On. |
|  |  |

4. Cria um Diagrama Temporal para um Latch tipo D, indicando a entrada D e CLK e a evolução das Saídas Q e Q’.

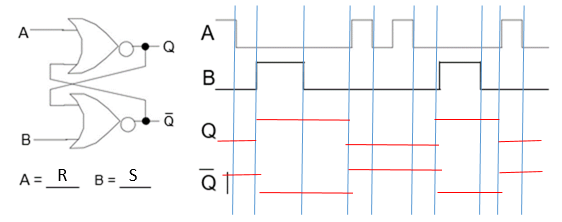
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |

|  |
| --- |
| **LATCH ou Flip-Flop RS assíncrono** |

|  |  |
| --- | --- |
|  | 1. Completa os espaços em branco |
|  | A imagem representa um Flip-Flop com portas NAND  R significa RESET e S significa SET, ou seja, R Desliga a saída e S Liga a saída. |
|  |  |

|  |  |
| --- | --- |
| 2. Desenha o símbolo que representa o Flip-Flop ou Latch | 2.1. Completa a tabela de verdade |
|  | |  |  |  |  |  | | --- | --- | --- | --- | --- | | **R** | **S** | **Q** | **Q’** | Estado | | 0 | 0 | Qa (Q anterior) | Q’a (Q’ anterior) | Memória | | 0 | 1 | 1 | 0 | Set | | 1 | 0 | 0 | 1 | Reset | | 1 | 1 | 0 | 0 | Erro lógico | |
|  |  |
|  |  |

1. Para o FF RS abaixo, identifique as entradas R e S e desenhe as formas de onda nas saídas em função dos sinais aplicados.

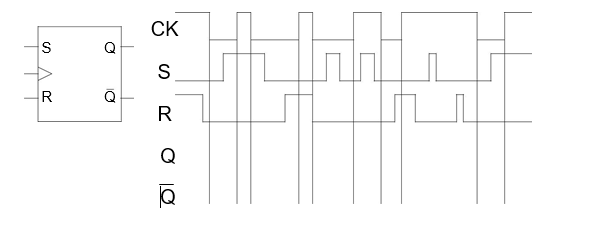


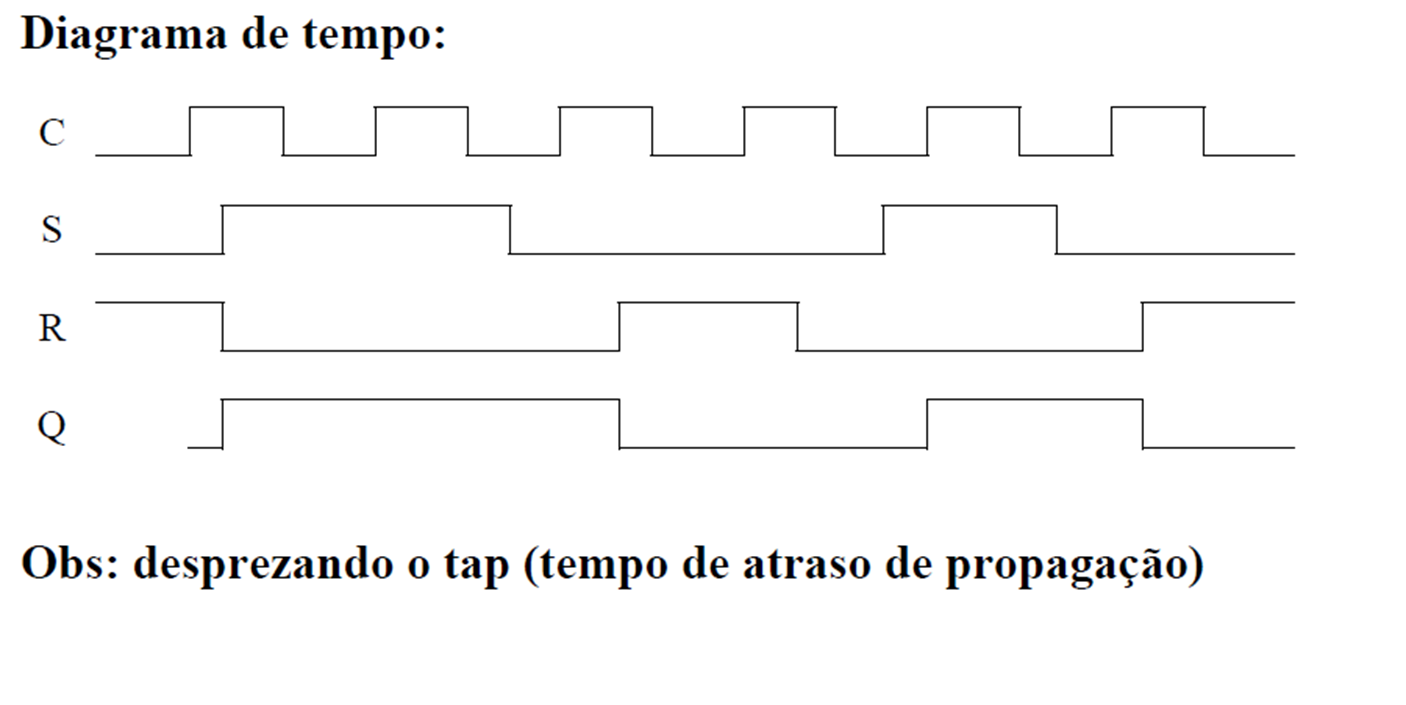
|  |
| --- |
| **LATCH ou Flip-Flop RS síncrono** |

|  |  |
| --- | --- |
|  | 1. Completa os espaços em branco |
|  | A imagem representa um Flip-Flop com portas NAND  R significa RESET e S significa SET, ou seja, R Desliga a saída e S Liga a saída.  CLK significa Clock e permite habilitar ou desabilitar todo o circuito.  Este circuito entra em memória quando R=0 e S=0 ou quando CLK=0 |
|  |  |

|  |  |
| --- | --- |
| 2. Desenha o símbolo que representa o Flip-Flop ou Latch | 2.1. Completa a tabela de verdade |
|  | |  |  |  |  |  |  | | --- | --- | --- | --- | --- | --- | | **Entradas** | | | **Saídas** | | **Estado** | | CLK | R | S | Q | Q’ | | 0 | x | x | Qa | Qa’ | Mem. | | 1 | 0 | 0 | Qa | Qa’ | Mem. | | 1 | 0 | 1 | 1 | 0 | Set | | 1 | 1 | 0 | 0 | 1 | Reset | | 1 | 1 | 1 |  |  | Erro | |
|  |  |
|  |  |

1. Para os FF das figuras abaixo, desenhe as formas de onda nas saídas em função dos sinais aplicados.





7. Cria um Diagrama Temporal para um FF síncrono indicando as entradas R, S e CLK e a evolução das Saídas Q e Q’.

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |